

Leistungs- und Publikationsverzeichnis

Stand: Januar 1990

Inhalt

1. Industriell genutzte Entwicklungsleistungen	1
2. In Arbeit befindliche Projekte	2
3. Chronologische Übersicht	4
4. Schutzrechtsanmeldungen	7
5. Veröffentlichungen	9
6. Unveröffentlichte Schriften	10
7. In Vorbereitung	10
8. Vorträge, Lehrveranstaltungen usw.	11

1. Industriell genutzte Entwicklungsleistungen

- Bedieneinheit EC 7069: Konzeption, Hardware- Entwurf, Monitor- und Testprogramme: 1975-78.
- Bedien- und Service- Prozessor EC 7069.M: Konzeption, Hardware- Entwurf, Realzeit- Betriebssystem, Wartungssystem: 1979-83.
- Prüfgerät für Jacquardkarten: Entwurf und Aufbau von zwei Mustern verschiedener Auslegung: 1978-80; 1982-84.
- System zur Erfassung von Produktionsdaten in der Weberei: Projekt 1979-82.
- Sondergerät zum Anschluß von Diskettenlaufwerken an eine spezielle Rechanlage: Konzeption, Entwurf der Hardware: 1983/84.
- Bedien- und Service- Prozessor EC 1557: Konzeption, Hardware- Entwurf, Spezifikation Realzeit- Betriebssystem und Wartungssystem: 1984-86.

Die Geräte EC 7069, 7069.M, 1557 sowie das Sondergerät wurden bzw. werden in Serie gefertigt. Wesentliche Einzelheiten sind aus Abschnitt 3, aus den betreffenden Patentschriften und anderen Veröffentlichungen zu ersehen. Bisher sind 17 Patente produktionswirksam genutzt worden (der durchschnittliche Jahresnutzen überschreitet 3 Mio. M). Des weiteren wurde über die

angeführten Schriften hinaus eine umfangreiche Entwicklungs- und Betriebsdokumentation erstellt.

2. In Arbeit befindliche Projekte

1. S.014: Wissensbasiertes Anwendungssystem, vorzugsweise für transaktionsorientierte kommerzielle Anwendungen und Netzwerk-Server. Bestandteile:

- relationale Wissensbasis
- Zugriffssystem zur Wissensbasis
- Laufzeitsystem
- Realzeit-Executive
- kommerzieller Interpreter
- Betriebsverwaltung
- Benutzeroberfläche
- Entwicklungsumgebung
- Wartungssystem.

(Erwogen wird weiterhin ein Akzeptor-Automat, der Programmiersprachen "am Beispiel" lernen kann.)

Kennzeichnende Merkmale: Objektorientierung, Ereignissteuerung, mehrstufiger typisierter Prädikatenkalkül (Relationen von Relationen sind möglich), neuartige Datenkompression für die Speicherung der Relationen, effiziente Implementierung der relationalen Grundoperationen.

2. S.015: Architektur für eine Familie von Prozessorkernen für "embedded systems". Die Prozessorkerne sollen in ASIC-Zellenbibliotheken bereitgestellt werden, um damit kostengünstige Steuerungssysteme aufbauen zu können. Hauptziele:

- "Resthardware" ist weitestgehend zu vermeiden, d. h. möglichst unmittelbare Kopplung mit der jeweils zu steuernden Anwendungsumgebung
- Konfigurierbarkeit verteilter Steuerungssysteme
- Sicherheit in Fertigung und Anwendung (hohe Ausbeute durch vergleichsweise geringe Transistorzahl je Schaltkreis, Vorkehrungen für EMI-Störsicherheit, Selbstdiagnose und Fehlertoleranz von Anfang an).

Leistungsbereich: vom derzeitigen 8-bit-Mikrocontroller bis zum 32-bit-Mikroprozessor.

Kennzeichnende Merkmale:

- RISC-ähnliche Grundsatz-Auslegung
- eine Architektur, verschiedene Versionen: mehrere Adressen-Paradigmata, 2 Befehls-Paradigmata, verschiedene Speicher- und E/A-Adapter
- direkte Steuerbarkeit einer Vielzahl von E/A-Leitungen
- serielle Verbindungen zum Aufbau komplexer Systeme
- Multitasking in Hardware (statt besonderer E/A-Schaltkreise mehrere virtuelle E/A-Prozessoren).

3. S.016: Architektur eines universellen Hochleistungsrechners, vorzugsweise als Zentrale bzw. Server in Netzwerken ("bedienerfreies 1-Schrank-Rechenzentrum"). Der Einzelprozessor soll technologisch vergleichbare Mikroprozessoren leistungsmäßig um wenigstens das 10fache übertreffen (Verbesserung des Preis-Leistungs-Verhältnisses ist mit 1:3 abschätzbar). Damit können kleinere Multimikroprozessorsysteme verdrängt werden.

Kennzeichnende Merkmale:

- mehrere Verarbeitungswerke im Einzelprozessor
- kombinierte Datenfluß- und mikroprogramm-ähnliche Steuerung (das Programm hat Einfluß auf jeden Maschinenzyklus)
- mehrstufige hierarchische Speicherorganisation; Wissensbasis-Subsystem in Hardware (einschließlich Speichermitteln für Archivierung und Backup)
- neuartige Datenstrukturen und Elementaroperationen (z. B. hochgenaue Universal-Numerik, relationale Operationen, wie Join, Intersection usw., Hardware-Unterstützung für die objektorientierte Verarbeitung)
- größere Komplexe werden durch Multiprozessor-Konfigurationen gebildet
- Vorrangiges technisch-kommerzielles Ziel: Gegenstück bzw. Nachfolge zu AS/400, Tandem usw., aber als wirklicher Hochleistungsrechner (20 MFLOP... > 2 GFLOP, je nach Technologie und Konfiguration), mit integrierter Wissensbasis statt Datenbasis.

4. Theorie: Entwicklung einer Ressourcen-Algebra, um "Gefühls-Entscheidungen" bei der Entwicklung von Rechnerarchitekturen weitgehend zu vermeiden (der Universalrechner soll berechenbar werden wie viele andere technische Gebilde, z. B. Verbrennungsmotoren, Transformatoren usw.). Weiterhin: Ressourcen-Algebra als universelle Zwischensprache für Compiler.

Zusammenhänge

Derzeitig werden die vorläufigen Architekturhandbücher für S.015 und S.016 ausgearbeitet. Eine erste Spezifikation für S.014 liegt vor und wird derzeitig zum Testen der Vorstellungen zu S.016 verwendet. Die Theorie wird in der Ausarbeitung zurückgestellt; sie ist derzeitig heuristisch nutzbar (S.016 wird nach dem Ressourcen-Paradigma entwickelt).

Zunächst werden alle Vorhaben umgangssprachlich (mit Illustrationen) beschrieben. Formalbeschreibung frühestens nach der ersten Überarbeitung. Als allgemeine Beschreibungssprache wird Ada bevorzugt. Angestrebt werden funktionelle Spezifikationen, so daß Hard- und Software wechselseitig ersetzbar sind.

S.014 könnte bereits auf PC implementiert werden (es erscheint sinnvoll, das 8088-Niveau auszulassen und wenigstens das AT-Niveau vorauszusetzen, bei Nutzung aller Eigenschaften des 286; leistungsmäßig sinnvoll wird es aber sicherlich erst mit 386 und seinen Nachfolgern).

Auf Grundlage von S.015 können Accelerator-Baugruppen entwickelt werden, um die Leistung von PC für die Erfordernisse von S.014 zielgerichtet zu erhöhen. (So ließe sich z. B. ein

Gegenstück zum "NEXT"- Computer schaffen. Dabei sollte allerdings ein umfassendes Wörterbuch der Landessprache nicht nur als Dekoration auf der optischen Platte gespeichert sein, sondern als Bestandteil und Grundlage der Wissensbasis.) S.016 ist für Hochleistungs- Implementierungen des (erweiterten) S.014 vorgesehen.

3. Chronologische Übersicht

1970 - 1972. Entwicklungen zu alphanumerischen Displaygeräten. Solche Geräte waren in der DDR nicht vorhanden und mit den gegebenen Mitteln auch kaum kostengünstig zu bauen. Es wurde versucht, durch eigene erfinderische Bemühungen bessere Lösungen für seinerzeit besonders kostenintensive Baugruppen (wie Zeichengenerator, Bildspeicher usw.) zu schaffen und dafür vorzugsweise bewährte Komponenten der Fernsehtechnik zu nutzen. Besondere Merkmale: Bildspeicher mit Verzögerungsleitungen aus der Farbfernsehtechnik, Mehrfachausnutzung von Steuer- und Speichermitteln (Cluster- Controller mit mehreren abgesetzten Fernseh- Sichtgeräten), hochauflösendes Zeichenraster (wenigstens 7 x 9; damals war 5 X 7 üblich). Das Konzept war ähnlich 2260, aber mit Darstell- Parametern ähnlich 3270. Dafür wurden 9 Patente angemeldet. Die Ergebnisse waren Gegenstand der Diplomarbeit. Einige Komplexe im Labor erprobt (vereinfachte Versuchsaufbauten). Keine Realisierung, da 1972 Einstellung aller einschlägigen Arbeiten durch zentrale Planung.

1972 - 1975. Mitarbeit an der Inbetriebnahme des Systems EC 1040. Erfinderische Bemühungen zu Diagnose- und Fehlertoleranz- Problemen (5 Patentanmeldungen).

1975 - 1978. Bedieneinheit EC 7069. Dieses Gerät war Console und Service- Prozessor für die Anlage EC 1055. Es wurde versucht, ähnliche Gebrauchswerte zu schaffen wie bei 370/158, allerdings mit einer an sich unzulänglichen Bauelemente- Basis (Transformator- Festwertspeicher, 1 k DRAM, keine ROM, keine Floppy Disc). Es wurde ein Steuerprozessor mit TTL- Schaltkreisen entwickelt (angeschlossen waren: Bildschirm, Tastatur, Drucker, Bedienfeld, Standard-Interface, Spezial-Interface). Nach heutiger Terminologie war dies eine RISC- Maschine mit 15 bit langen Befehlen, 12 bit Verarbeitungsbreite, 16 Universalregistern und 16 Adressenregistern. Der Prozessor war gleichsam um einen Transformator-Festwertspeicher (TROM) von 32 kBytes herumgebaut, der auch als Zeichengenerator für den Bildschirm ausgenutzt wurde. Die Interfaces wurden praktisch direkt vom Prozessor gesteuert. Es wurden 2 Patente angemeldet. Zur Steuerung der parallelen Abläufe war ein Realzeit-Monitor vorgesehen. Es wurden mehrere hundert Geräte gefertigt.

1979 - 1983. Bedien- und Service- Prozessor EC 7069.M. Der TTL- Steuerprozessor mit seinem TROM war durch etwas Moderneres und Billigeres abzulösen. Dafür standen seinerzeit nur Z 80- Mikroprozessoren zur Verfügung. Der Z 80 ist aber mehr als

10 mal langsamer als der TTL- Prozessor. Deshalb wurde eine Multiprozessorconfiguration gewählt. Alle wesentlichen Konventionen wurden selbst festgelegt, um die Hardware billig und trotzdem leistungsfähig gestalten zu können. Kennzeichnende Merkmale:

- eigenes Multimaster- Bussystem mit 8 Daten- und 20 Adressenleitungen
- 5 Funktionseinheiten am Systembus: Bussteuerung, Videoadapter (für 2 Bildschirme) Standard- Interface- Adapter, 2 Single- Board- Computer (SBC)
- periphere Adapter (z. B. für Drucker) unmittelbar an den zu steuernden Komplexen
- SBC mit 32 k dual port RAM (mit Paritätsprüfung, auf Vergleichstopmodus umschaltbar)
- eigenes Floppy-Disc- Format mit Fehlerkorrekturmöglichkeiten
- umfassendes Wartungssystem
- eigenes objektorientiertes und ereignisgesteuertes Realzeit-Betriebssystem; Multitasking in jedem der SBC's.

Für die Grundsatzlösungen wurden 6 Patente angemeldet. Resultat: EC 7069 erforderte über 1200 Schatkreise, EC 7069.M etwa 800; eine reine TTL- Lösung hätte 1600 gekostet. Es wurden mehrere hundert Geräte gefertigt.

1978 - 1979. Heimcomputer. Es war ein Heimcomputer mit Z 80 zu entwickeln. Ein Labormuster mit einigen Demo- Programmen wurde aufgebaut. Anschließend hatte Robotron kein Interesse mehr. Kennzeichnende Merkmale:

- Rastergraphik (damals war Symbolgraphik üblich)
- RAM kombiniert als Video- und Arbeitsspeicher; interleaving-Zugriffsorganisation
- RAM enthält in einem Zusatzbit die Bildsteuerinformation; dadurch geringster Zusatzaufwand auch ohne Video- Schaltkreise (1 Patentanmeldung).

1978 - 1984. Sondergeräte für die Textilindustrie. In Einzelanfertigung wurden 2 Geräte aufgebaut, um Jacquardkarten für die Teppichweberei zu prüfen (photoelektrische Abtastung, Einlesen in einen RAM, Anwendung eines ROM-residenten Prüfalgorithmus). Für das 1. Gerät waren keine Mikroprozessoren greifbar, deshalb wurde eine TTL- Schaltung aufgebaut; das 2. Gerät hatte einen Z 80. Beide Geräte sind im Einsatz. Weiterhin wurde eine Produktionsdatenerfassungsanlage für eine Weberei projektiert (keine Realisierung als Konsequenz allgemeiner Schwierigkeiten und Management- Unzulänglichkeiten in der Wirtschaft).

1983 - 1984. Sondergerät zum Anschluß von Diskettenlaufwerken an eine spezielle Rechenanlage. Das Gerät enthielt einen Z 80-Komplex für die Laufwerkssteuerung und einen mikroprogrammgesteuerten Interface- Adapter. Die gesamte Software war ROM-resident. Es wurde in Serie gefertigt.

1984 - 1986. Bedien- und Service- Prozessor EC 1557. Dieses

Gerät ist für die Anlage EC 1057 vorgesehen. Es handelt sich um eine grundlegende Modernisierung des EC 7069.M:

- neue konstruktive Gestaltung
- bessere Monitore und FD- Laufwerke
- 3 statt 2 SBC's
- autonomer Spezial- Interface- Adapter am Systembus
- Videoadapter mit Mikroprozessor
- insgesamt 6 Z 80 (4 MHz)
- Video- Hardware mit Unterstützung für Rastergraphik, Windows usw.
- wesentlich mehr RAM; alle DRAM- Komplexe mit Fehlerkorrektur
- Beschleunigungsschaltungen für zeitkritische Abläufe.

Es wurde angestrebt, Gebrauchswerte zu schaffen, wie sie bei modernen PC's selbstverständlich sind. Eine völlige Neuentwicklung war aber nicht möglich (vorhandene Software, Termine). Deshalb wurden die Baugruppen einzeln modernisiert. Leistungs- bzw. Funktionsdefizite des Z 80 wurden durch - vergleichsweise einfache - Zusatzschaltungen ausgeglichen (Erweiterung des Adressenraumes, Fehlerkorrektur an Speichern, Arbeiten ohne Wartezustände, schnelle Ansteuerung "irregulärer" Interfaces, selektive Blocktransporte, Operationen mit variablen Bitfeldern). Dafür wurden 9 Patente angemeldet. Das Gerät befindet sich in der Serienfertigung.

1982 - 1987. Spezialhardware zur Verarbeitung von Ternärvektorlisten. Die Ternärvektorliste ist eine Datenstruktur zur Darstellung Boolescher Gleichungen. Dazu gibt es ein umfangreiches, hierarchisch gegliedertes System von Algorithmen, mit dem sich vielfältige Anwendungsaufgaben lösen lassen. Die Boolesche Gleichung hat an sich den Vorteil, für ganze Klassen von Problemen einen universellen und theoretisch exakten Ansatz zu bieten. Universalität bedeutet aber Komplexität bei der rechentechnischen Bearbeitung, so daß es naheliegend ist, spezielle Schaltmittel dafür zu entwickeln. Im Rahmen einer Dissertation wurde dies theoretisch untersucht, und konkrete Schaltungsvorschläge wurden ausgearbeitet. Dabei entstanden 9 Patentanmeldungen, die ohne weiteres nutzbar sind, um beispielsweise Accelerator- Zusätze zu PC's, Workstations usw. aufzubauen. Weitere 2 Patentanmeldungen betreffen die Nutzung des Prinzips in speicherprogrammierbaren Steuerungen (einmal am oberen und einmal am unteren Ende des Leistungsbereichs, etwa als Subsystem am VME- Bus und als Zusatz zu einem Z 8 Mikrocontroller).

Die einschlägigen Erkenntnisse haben wesentlichen Einfluß auf die zeitlich nachfolgenden, in Abschnitt 2 dargestellten Projekte ausgeübt.

Seit 1988. Befassung mit Architekturen von Universalrechnern. Am Anfang stand die Frage, ob es sich noch lohne, neue Universalrechner- Architekturen zu entwickeln, da vergleichsweise geringfügige architekturseitige Verbesserungen kaum Chancen auf Durchsetzung haben (im Gegensatz zur technologischen Verbesserung verbreiteter Architekturen). Die Innovationen müssen mithin einen signifikanten Leistungszuwachs versprechen. Das

ist aber nur erreichbar, wenn grundsätzlich alle gängigen Konventionen in Frage gestellt werden dürfen: man muß sich methodisch zunächst auf die Teilaufgabe beschränken, so viele wirkungsvolle Innovationen wie möglich auszuarbeiten; ob solche Konzepte wirtschaftlich durchsetzbar sind, ist erst anschließend zu entscheiden. Die gegenwärtige Arbeit betrifft die Entwicklung solcher Lösungsvorschläge. Erste Vorstellungen wurden im Rahmen einer 2. Dissertationsschrift niedergelegt.

Zusammenfassung der Entwicklungsleistungen
Bisher wurden tatsächlich ausgeführt:

- 3 Typen von Mikroprogrammsteuerungen bzw. mikroprogrammgesteuerten Prozessoren
- 6 Typen von Mikroprozessor- Baugruppen
- 4 Typen von Video- Ansteuerbaugruppen
- 2 Typen sequentiell gesteuerter Baugruppen
- die zugehörigen Koppel- und Anpaßschaltungen
- 1 abfragegesteuerter Realzeit- Monitor
- 2 ereignisgesteuerte objektorientierte Realzeit- Betriebssysteme
- 2 Wartungssysteme.

(Das jeweils 2. ist aus dem jeweils 1. durch Weiterentwicklung hervorgegangen.)

Die meisten dieser Leistungen wurden aus eigener Initiative vorgeschlagen.

4. Schutzrechtsanmeldungen

- WP 87 418 Verfahren zur Umsetzung binär codierter Information in Videosignale zur Darstellung von vorzugsweise alphanumerischen Zeichen
- WP 90 446 Anordnung zur Erzeugung von Videosignalen, zur Darstellung von vorzugsweise Ziffern
- WP 92 072 Anordnung zur Erfassung von Daten auf Magnetband, vorzugsweise in rechnercompatibler Form
- WP 92 335 Verfahren und Anordnung zur Darstellung von Zeichen mittels Fernseh- Sichtgeräten
- WP 93 648 Fernsichtgeräteanordnung
- WP 94 276 Schaltungsanordnung zur Verbesserung der Wiedergabequalität von Darstellungen auf Fernsichtgeräten
- WP 94 652 Verfahren und Schaltungsanordnung zur Übertragung von Synchron-, Video- und Datensignalen bei Fernsichtgeräten
- WP 95 944 Anordnung zur manuellen Eingabe graphischer Information, vorzugsweise für Katodenstrahl-Sichtgeräte
- WP 95 945 Anordnung zur Darstellung alphanumerischer Zeichen auf einer Anzahl von Fernsichtgeräten
- WP 99 244 Schaltungsanordnung zur Erzeugung und Darstellung von Zeichen hoher Auflösung auf Fernsichtgeräten

- WP 101 040 Aus mehreren identischen Moduln bestehendes Datenverarbeitungssystem
- WP 104 377 Prüfeinrichtung für elektronische Datenverarbeitungssysteme
- WP 108 159 Prüfeinrichtung für digitale elektronische Systeme, vorzugsweise für elektronische Rechenanlagen
- WP 112 846 Mit einer Prüfeinrichtung versehenes Datenverarbeitungssystem
- WP 112 847 Einrichtung zur Überprüfung von digitalen Systemen, vorzugsweise von Datenverarbeitungsanlagen
- WP 127 351 Anordnung zur Übertragung von Bedienungs-, Wartungs- und Diagnose- Information
- WP 135 306 Aktivitätsmeßeinrichtung für EDV- Systeme als Zusatz zu einer Bedieneinheit
- WP 151 237 Einrichtung zur Informationsdarstellung auf Fernsehgeräten
- WP 154 244 Speicheranordnung mit Fehlererkennungs- und Diagnoseeigenschaften, vorzugsweise für Mikrorechner
- WP 155 458 Adapteranordnung zum Anschluß an ein Standard-Interface
- WP 156 743 Bussystem zur Verbindung von logischen Funktionsmoduln
- WP 157 482 Anordnung zur Darstellung von Information auf Fernsichtgeräten
- WP 159 519 Bedien- und Service- Prozessor, vorzugsweise für EDV- Anlagen
- WP 159 916 Mikrorechneranordnung, vorzugsweise für den Einsatz in Multimikrorechnersystemen
- WP 233 435 Speicheranordnung mit Eingabe-/Ausgabeanschluß, vorzugsweise zum Einsatz in Multimikrorechnersystemen
- WP 234 955 Speicheranordnung, vorzugsweise zum Einsatz in Mikrorechneranordnungen
- WP 235 743 Anordnung zur Orthogonalisierung von Ternärvektorlisten (33% Anteil)
- WP 235 744 Anordnung zur Verarbeitung von Ternärvektorlisten (33% Anteil)
- WP 236 611 Anordnung zum Durchmustern binärer Information, vorzugsweise von Ternärvektorlisten
- WP 236 822 Bestimmungs- und Auswerteanordnung für Lösungszahlen orthogonaler Ternärvektorlisten (33% Anteil)
- WP 242 299 Spezialprozessoranordnung zur Verarbeitung von Ternärvektorlisten
- WP 244 431 Refreshanordnung für dynamische RAMs in Mikrorechnern
- WP 246 855 Ansteuerschaltung für Fernsichtgeräte
- WP 246 857 Speicheranordnung mit Fehlerkorrektur, vorzugsweise für Mikrorechner
- WP 246 858 Mikrorechneranordnung mit erweiterten Steuerwirkungen
- WP 246 859 Mikrorechneranordnung für interruptgesteuerte Datenübertragung

- WP 246 860 Mikrorechneranordnung mit programmgesteuertem Interfaceanschluß
- WP 249 341 Aktive Speicheranordnung, vorzugsweise für Ternärvektorlisten
- WP 249 342 Speicher- und Verarbeitungseinrichtung für Ternärvektorlisten
- WP 252 909 Aktive Speicheranordnung zur Orthogonalisierung von Ternärvektorlisten
- WP 254 077 Mikrorechneranordnung zum Einsatz in Multimikrorechnersystemen
- WP 256 580 Speicheranordnung mit Fehlerkontrollmöglichkeiten, vorzugsweise für Ternärvektorlisten
- WP 258 300 Elektronische binäre Steuereinrichtung, vorzugsweise zum Einsatz in Mikrorechnersystemen
- DBP 32 09 803 Bedien- und Service- Prozessor, vorzugsweise für EDV- Anlagen.
- DBP 36 03 319 Anordnung zur Orthogonalisierung von Ternärvektorlisten (33% Anteil)
- DBP 36 03 320 Anordnung zur Verarbeitung von Ternärvektorlisten (33% Anteil)
- EP 00 67 982 Mikrorechneranordnung, vorzugsweise für den Einsatz in Multimikrorechnersystemen (Anm. 82 104 786 57).

5. Veröffentlichungen

- Darstellung alpha- numerischer Zeichen auf dem Schirm einer Katodenstrahlröhre nach dem Rasterverfahren. Diplomarbeit, Technische Hochschule Karl- Marx- Stadt 1972.
- Über den Wertbegriff in einer qualitativen Informationstheorie. Nachrichtentechnik - Elektronik 25 (1975) H. 8, S. 293-296.
- Multimikrorechnersysteme. Fortsetzungsreihe in radio fernsehen elektronik von Heft 4/1984 bis Heft 12/1985 mit 4 Seiten je Folge.
- Diagnostik und Wartung an Multimikrorechnersystemen. radio fernsehen elektronik: Teil 1: H. 8/1986, S. 518-521; Teil 2: H. 9/1986, S. 566, 567.
- Echtzeit- Betriebssysteme für Multimikrorechnersysteme. radio fernsehen elektronik: Teil 1: H. 11/1986, S. 700-702; Teil 2: H. 12/1986, S. 756-758.
- Spezielle Hardware zur Verarbeitung von Ternärvektorlisten. Dissertation (A), Technische Universität Karl- Marx-Stadt 1987.
- Datenzugriffsprinzipien in objektorientierten Rechnerarchitekturen. Institut für Informatik und Rechentechnik, Berlin 1989 (Preprint 89.01).

- Hardware Support for Testability, Debugging and Better Performance. Institut für Informatik und Rechentechnik, Berlin 1989 (IIR Informatik Informationen Reporte, Heft 10, 1989: Multimicroprocessor Systems. Proceedings of the 3rd Symposium, Vol. 1. Stralsund, Oct. 16-20, 1989).
- Leistungsoptimierte Einzelprozessorarchitekturen digitaler Universalrechner. Dissertation (B), Akademie der Wissenschaften der DDR, eingereicht am 31. 7. 1989.

6. Unveröffentlichte Schriften

- RTX.004 Reference Manual. Betriebsinterne Entwicklungsdokumentation VEB Robotron FG Geräte, Karl- Marx- Stadt 1981.
- Advanced Real Time Executive .011 (ARTX.011) Application Reference Manual. Betriebsinterne Entwicklungsdokumentation VEB Robotron FG Geräte, Karl- Marx- Stadt 1986. (Mit H. Pietschmann.)
- System.008 - Vorläufige Architekturbeschreibung. 1986.
- Zentralisierte Vorkehrungen für Eigenleistungen zur Rationalisierung im Kombinat Baumwolle. Eine Denkschrift. VEB Kombinat Baumwolle, Karl- Marx- Stadt 1987.
- System.014 Technische Anforderungen und Einführende Erläuterungen. 1987.
- 009.B1 Binary Sequential Controller Chip (BSCC). Vorläufige Technische Anforderungen. 1987.
- 009.B1a Binary Sequential Controller Chip (BSCC) Hardware Manual. 1987.
- Anwendungssysteme auf Silizium (Projekt .015). Vorläufige Überlegungen. 1988.
- Zur künftigen Entwicklung von Hochleistungshardware im Institut für Informatik und Rechentechnik. Eine Denkschrift. Institut für Informatik und Rechentechnik, Berlin 1989.
- Beiträge zur Prognose "Rechnerarchitektur". Institut für Informatik und Rechentechnik, Berlin 1989.

7. In Vorbereitung (Fertige Manuskripte)

- Ergänzungsschaltungen für Mikroprozessoren. Vorgesehen für IIR Informatik Informationen Reporte.
- WP- Anmeldung: Verfahren und Anordnung zur technischen Implementierung von Steuerungsabläufen, die durch eine Automatenbeschreibung gegeben sind. (40% Anteil.)

- Hardware Resources: A Generalizing View on Computer Architectures. Vorgesehen für Computer Architecture News.
- Haben Computer Leistungsgrenzen? Vorgesehen für eine populärwissenschaftliche Zeitschrift.
- Leistungsoptimierte Einzelprozessorarchitekturen. Vorgesehen für die 1. Wissenschaftliche Arbeitskonferenz Informatik am 22./23. 2. 1990 in Dresden.

8. Vorträge, Lehrveranstaltungen usw.

- Lehr- und Schulungsveranstaltungen für Entwicklung, Produktion und Kundendienst des VEB Kombinat Robotron. 1976-86.
- Probleme objektorientierter Rechnerarchitekturen. Sektionskolloquium der Sektion Informationstechnik der TH Karl-Marx-Stadt am 19. 6. 1984.
- Rechentchnik und Mikroelektronik. Grenzen und Möglichkeiten. Vortragsreihe in der Akademie für sozialistische Wirtschaftsführung des Kombinat Baumwolle, 1987.
- 5. Computertagung 26./27. 10. 1988 in Frankfurt/O.: Vorstellung des Binary Sequential Controller Chip (BSCC).
- 3rd Symposium on Multimicroprocessor Systems, Stralsund, October 19, 1989: Hardware Support for Testability, Debugging and Better Performance.